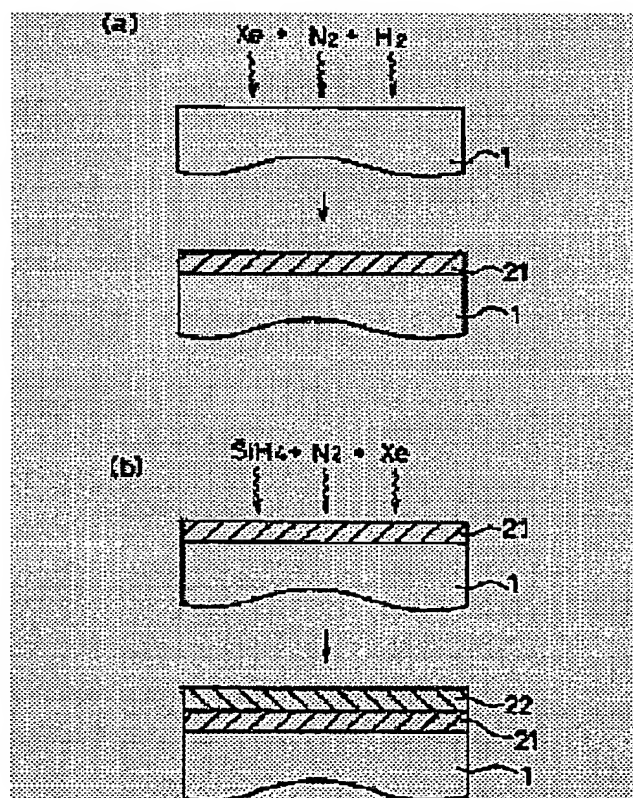


MANUFACTURE OF SEMICONDUCTOR AND MANUFACTURING APPARATUS OF SEMICONDUCTOR**Publication number:** JP2000294550**Publication date:** 2000-10-20**Inventor:** MURAKAWA EMI; HONGO TOSHIKI; KAWAKAMI SATOSHI; YUASA MITSUHIRO**Applicant:** TOKYO ELECTRON LTD**Classification:****- international:** H01L29/78; C30B29/40; H01L21/31; H01L21/316; H01L21/318; H01L29/66; C30B29/10; H01L21/02; (IPC1-7): H01L21/316; C30B29/40; H01L21/31; H01L21/318; H01L29/78**- european:****Application number:** JP19990097831 19990405**Priority number(s):** JP19990097831 19990405**Report a data error here****Abstract of JP2000294550**

PROBLEM TO BE SOLVED: To provide a method and apparatus for manufacturing a semiconductor for smoothly operating film quality control on a boundary face between a silicon substrate and an SiN film, and for forming the SiN film with high quality in a short time. **SOLUTION:** A wafer made of silicon as main components is irradiated with microwaves via a planar antenna member RLSA 60, having plural slits under a treating gas atmosphere so that plasma containing oxygen, or nitride, or oxygen and nitride can be formed, and oxidation, or nitriding, or oxidation/ nitriding is carried out directly to the surface of the wafer by using this plasma, and an insulating film 21 which is 1 nm or less in film thickness converted equivalent to film thickness of an oxide film.

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-294550

(P2000-294550A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int.Cl. ¹	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/316		H 0 1 L 21/316	A 4 G 0 7 7
C 3 0 B 29/40	5 0 2	C 3 0 B 29/40	5 0 2 H 5 F 0 4 0
H 0 1 L 21/31		H 0 1 L 21/31	C 5 F 0 4 5
21/318		21/318	C 5 F 0 5 8
			A

審査請求 未請求 請求項の数11 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願平11-97831

(22) 出願日 平成11年4月5日 (1999. 4. 5)

(71) 出願人 000219967

東京エレクトロン株式会社

東京都港区赤坂5丁目3番6号

(72) 発明者 村川 恵美

東京都港区赤坂5丁目3番6号 東京エレクトロン株式会社内

(72) 発明者 本郷 俊明

山梨県韮崎市穂坂町三ツ沢650 東京エレクトロン株式会社総合研究所内

(74) 代理人 100077849

弁理士 須山 佐一

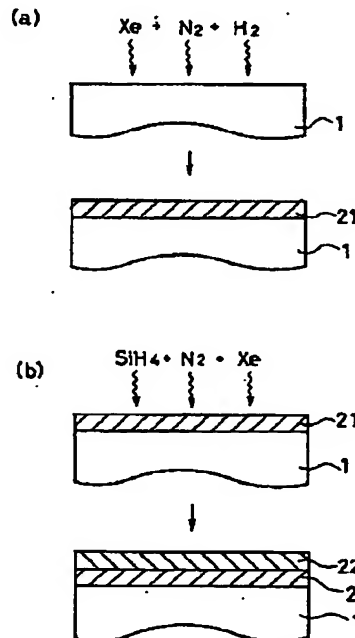
最終頁に続く

(54) 【発明の名称】 半導体製造方法及び半導体製造装置

(57) 【要約】

【課題】 シリコン基板とSiN膜との界面での膜質制御を首尾よく行うことができ、しかも、短時間で高品質のSiN膜を形成することのできる半導体の製造方法及び製造装置を提供する。

【解決手段】 処理ガス雰囲気下で、ケイ素を主成分とするウエハWに、複数のスリットを有する平面アンテナ部材RLSA60を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記ウエハW表面に直接に酸化、窒化、又は酸窒化を施して酸化膜相当換算膜厚で1nm以下の絶縁膜2を形成する。



【特許請求の範囲】

【請求項1】 処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、又は酸窒化を施して酸化膜相当換算膜厚で1nm以下の絶縁膜を形成することを特徴とする半導体製造方法。

【請求項2】 請求項1記載の半導体製造方法であって、前記処理ガスが、 N_2 又は N_2 ・O又はNO又はNH₃を含むことを特徴とする半導体製造方法。

【請求項3】 処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、又は酸窒化を施して第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、を具備することを特徴とする半導体製造方法。

【請求項4】 請求項3記載の半導体製造方法であって、前記第2の絶縁膜を形成する工程が、窒化ケイ素からなる絶縁層を形成する工程であることを特徴とする半導体製造方法。

【請求項5】 請求項3又は4記載の半導体製造方法であって、前記第2の絶縁膜を形成する工程が、CVD法により行われる工程であることを特徴とする半導体製造方法。

【請求項6】 請求項3又は4記載の半導体製造方法であって、前記第2の絶縁膜を形成する工程が、プラズマ照射により行われる工程であることを特徴とする半導体製造方法。

【請求項7】 請求項6記載の半導体製造方法であって、前記第2の絶縁膜を形成する工程が、 N_2 又はNH₃、及びモノシラン又はジクロルシラン又はトリクロルシランを含むプラズマを供給する工程であることを特徴とする半導体製造方法。

【請求項8】 請求項6記載の半導体製造方法であって、前記プラズマ照射が、複数のスリットを有する平面アンテナ部材を介して行われることを特徴とする半導体製造方法。

【請求項9】 請求項1記載の半導体製造方法を実施するための半導体製造装置であって、マイクロ波電源と、当該マイクロ波を導く装置と複数のスリットを有する平面アンテナ部材と、被処理基体の温度を400°C以上に保持する昇温機構と、処理ガスを反応室に導くガス供給機構と、反応室を1 Torr以下に減圧する真空排気機構を有する一つ又はそれ以上のプロセスチャンバと、被処理基体を真空搬送する搬送系

と、

を具備する事を特徴とする半導体製造装置。

【請求項10】 請求項9記載の半導体製造装置であって、ゲート絶縁膜を並列的に形成できるように、前記プロセスチャンバが、二つ又はそれ以上配設されていることを特徴とする半導体製造装置。

【請求項11】 請求項9記載の半導体製造装置であって、前記プロセスチャンバとは異なるCVDチャンバと、真空搬送系とを具備し、直接酸窒化に引き続いてCVDによりSiNを形成することを特徴とする半導体製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体の製造方法に係り、更に詳細には、MIS型半導体装置におけるゲート絶縁膜形成方法に関する。

【0002】

【従来の技術】最近、MIS型半導体デバイスの微細化に伴い、4nm程度以下の極めて薄いゲート絶縁膜が要求されている。従来、ゲート絶縁膜材料としては、850°C～1000°C程度の高温加熱炉を用いてシリコン基板の直接酸化によって得られるシリコン酸化膜(SiO₂膜)が工業的に使用されてきた。

【0003】しかしながら、SiO₂膜を4nm以下に薄くすると、このゲート絶縁膜を流れる漏れ電流(ゲートリーク電流)が多くなり、消費電力の増大やデバイス特性劣化の加速などの問題が生じる。

【0004】また、ゲート電極形成時に当該ゲートに含まれるホウ素がSiO₂膜を突き抜けてシリコン基板に達し、半導体デバイス特性を劣化させるという問題も生じる。このような問題点を解決する一つの方法として、ゲート絶縁膜材料として窒化膜(SiN膜)が検討されている。

【0005】このSiN膜をCVD法によって形成すると、シリコン基板との界面に多数の不完全結合(ダングリングボンド)が発生してデバイス特性が劣化してしまう。そのため、当該SiN膜形成では、プラズマを用いたシリコン基板を直接窒化する方法が有望と考えられる。直接窒化を行う理由は、界面準位の少ない高品質のゲート絶縁膜を得るためである。

【0006】また、プラズマを用いる理由は、低温でSiN膜を形成するためである。SiN膜を加熱によって窒化すると1000°C以上の高温が必要であり、この熱工程によりシリコン基板に注入されたドーパントが差異拡散することによってデバイス特性が劣化してしまう。このような方法は特開昭55-134937号公報や特開昭59-4059号公報などに開示されている。

【0007】しかしながら、プラズマを用いてSiN膜を形成する場合、プラズマ中のイオンがプラズマシース電位により加速されて高エネルギーでシリコン基板に入

射されるため、いわゆるプラズマダメージがシリコン基板界面或いはシリコン基板に発生し、デバイス特性が生じるという問題が指摘されている。

【0008】この問題に対し、電子温度が低く、プラズマダメージの小さい多数のスリットを有する平面アンテナを備えたマイクロ波プラズマ装置が報告されている。

【0009】(Ultra Clean technology Vol.10 Supplement 1, p.32, 1998, Published by Ultra Clean Society)。

【0010】このプラズマ装置を用いると、電子温度は1 eV程度以下であり、プラズマシース電圧も数V以下になるため、プラズマシース電圧が50 V程度の従来のプラズマに対して、プラズマダメージを大幅に低減できる。

【0011】しかし、このプラズマ装置を用いてシリコン窒化処理を行う場合でも、直接窒化によってSiN膜を形成する場合には、シリコン基板界面にのみ酸素を偏在させることにより結合欠陥の少ない良質な界面を得るためには、シリコン基板との界面での膜質制御が難しいという問題がある。

【0012】更に、このプラズマ装置を用いた場合、窒素原子がシリコン基板内に拡散することにより窒化が進むため、窒化速度が遅く、被処理体に所定の処理を施す時間が長く、単位時間あたりの被処理体の処理枚数が少なく、工業的に利用することができないという問題がある。例えば4 nmのSiN膜を形成する場合、圧力やマイクロ波パワーなどのプラズマ条件を種々調整しても5分程度以上かかり、量産製造の点から要求されるスループット、例えば被処理体一枚当たり1分程度という処理時間の目標値を大幅に下回る。

【0013】

【発明が解決しようとする課題】本発明は上記従来の問題を解決するためになされたものである。即ち、本発明は、シリコン基板とSiN膜との界面での膜質制御を首尾よく行うことのできる半導体の製造方法及び製造装置を提供することを目的とする。

【0014】また、本発明は、短時間で高品質のSiN膜を形成することのできる半導体の製造方法及び製造装置を提供することを目的とする。

【0015】

【課題を解決するための手段】上記目的達成のため、本発明の半導体製造方法は、処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、又は酸窒化を施して1 nm以下の膜厚(シリコン酸化膜換算)の絶縁膜を形成することを特徴とする。

【0016】本発明の半導体製造方法では、絶縁膜厚が

1 nm以下であるため、シリコン基板の窒化は拡散ではなくプラズマにより生成された窒素原子又は酸素原子又は窒素原子と酸素原子がシリコン基板表面と反応する工程が主な工程となり、窒化速度は30秒程度の短時間で行うことができる。

【0017】この直接窒化又は酸化又は酸窒化した薄膜絶縁膜上にCVD法により残りの絶縁膜を形成する場合、3 nm/min以上の製膜速度が比較的容易に達成できるため、トータル4 nmの膜厚の絶縁膜でも2分以内で形成できる。

【0018】更に本発明の半導体製造方法では、直接窒化又は酸化又は酸窒化によりシリコン基板との界面に良質な絶縁膜を形成する工程とその上にCVD法により残りの絶縁膜を形成する工程とを独立に行うことができるため、全て、直接窒化又はCVD法によって絶縁膜を形成する方法に比べてシリコン基板界面での膜質制御性が向上し、より良質な絶縁膜を形成することができる。

【0019】この半導体製造方法において、前記処理ガスは、例えば、N₂又はN₂O又はNO又はNH₃を含むガスが挙げられる。この処理ガスはアルゴンなどの希ガスを含んでいても良い。

【0020】また、本発明の他の半導体製造方法は、処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、又は酸窒化を施して第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、を具備することを特徴とする。

【0021】上記半導体製造方法において、前記第2の絶縁膜は、例えば、窒化ケイ素からなる絶縁膜が挙げられる。

【0022】この第2の絶縁膜を形成する工程は、CVD法により行ってもよく、プラズマ照射により行ってもよい。

【0023】この第2の絶縁膜の形成は、例えば、N₂又はNH₃及びモノシラン又はジクロルシラン又はトリクロルシランを含むプラズマを供給することにより形成する方法が挙げられる。

【0024】本発明の半導体製造方法によれば、処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射する、いわゆるRLSA(Radial Line Slot Antenna)アンテナを用いる方法でシリコン基板上に直接プラズマを供給してSiN絶縁膜を形成するので、シリコン基板とその表面に形成されるSiN絶縁膜との界面の膜質制御を首尾よく行うことができる。

【0025】更に、本発明の他の半導体製造方法によれば、いわゆるRLSAアンテナを用いた方法で第1の絶

縁膜を形成した上に第2の絶縁膜を全て低ダメージプラズマ照射により形成するので高品質のSiN膜を形成することができる。特に第2の絶縁膜をCVD法により形成する場合には短時間での製膜が可能となり、短時間で高品質のSiN膜を形成することができる。

【0026】

【発明の実施の形態】以下に本発明の一つの実施の形態について説明する。

【0027】まず本発明の半導体製造方法によって製造される半導体装置の構造の一例について、絶縁膜としてゲート絶縁膜を備えた半導体装置を例にして図1により説明する。

【0028】図中1はシリコン基板、11はフィールド酸化膜、2はゲート絶縁膜であり、13はゲート電極である。本発明はゲート絶縁膜2に特徴があり、このゲート絶縁膜2は、図1(b)に示すように、シリコン基板1との界面に形成された、品質の高い絶縁膜よりなる例えば1nm程度の厚さの第1の絶縁膜21と、第1の絶縁膜21の上面に形成され、例えば3nm程度の厚さの第2の膜22とにより構成されている。

【0029】この例では品質の高い第1の膜21は、処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、又は酸素窒化を施して形成された、第1のシリコン酸化窒化膜（以下「SiON膜」という）よりなる。

【0030】また第1の膜21よりも成膜速度の大きい第2の膜22は、前記第1の絶縁膜上に第2の絶縁膜を形成する工程により形成されている。

【0031】次に、このようなゲート絶縁膜2の形成方法について説明する。

【0032】図2は本発明の半導体製造方法を実施するための半導体製造装置30の全体構成を示す概略図である。

【0033】図2に示すように半導体製造装置30のほぼ中央には搬送室31が配設されており、この搬送室31の周囲を取り囲むようにプラズマ処理ユニット32、CVD処理ユニット33、二機のロードロックユニット34及び35、加熱ユニット36が配設されている。

【0034】ロードロックユニット34、35の横には予備冷却ユニット45、冷却ユニット46がそれぞれ配設されている。

【0035】搬送室31の内部には搬送アーム37及び38が配設されており、前記各ユニット32～36との間でウェハWを搬送する。

【0036】ロードロックユニット34及び35の図中手前側にはローダーアーム41及び42が配設されている。これらのローダーアーム41及び42は、更にその

手前側に配設されたカセットステージ43上にセットされた4台のカセット44との間でウェハWを出し入れする。

【0037】なお、図2中のCVD処理ユニット33はプラズマ処理ユニット32と同型のプラズマ処理ユニットと交換可能であり、プラズマ処理ユニットを二基セットしてもよい。

【0038】更に、これらプラズマ処理ユニット32及びCVD処理ユニット33は、ともにシングルチャンバ型プラズマ/CVD処理ユニットと交換可能であり、プラズマ処理ユニット32やCVD処理ユニット33の位置に一基又は二基のシングルチャンバ型プラズマ/CVD処理ユニットをセットすることも可能である。プラズマ処理が二基の場合、処理ユニット32で直接SiON膜を形成した後、処理ユニット33でプラズマSiN膜をCVDする方法と、処理ユニット32及び33で並列に直接SiON膜形成とSiN CVD膜形成を行っても良い。或いは処理ユニット32及び33で並列に直接SiON膜形成を行った後、別の装置でSiN CVD膜形成を行うこともできる。

【0039】図3はゲート絶縁膜2の成膜に用いられるプラズマ処理ユニット32の垂直断面図である。

【0040】50は例えばアルミニウムにより形成された真空容器である。この真空容器50の上面には、基板例えばウェハWよりも大きい開口部51が形成されており、この開口部51を塞ぐように例えば窒化アルミ等の誘電体により構成された偏平な円筒形状のガス供給室54が設けられている。このガス供給室54の下面には多数のガス供給孔55が形成されており、ガス供給室54に導入されたガスが当該ガス供給孔55を介して真空容器50内にシャワー状に供給されるようになっている。

【0041】ガス供給室54の外側には、例えば銅板により形成されたラジアルラインスロットアンテナ（以下、「RLSA」と略記する。）60を介して、高周波電源部をなし、例えば2.45GHzのマイクロ波を発生するマイクロ波電源部61に接続された導波路63が設けられている。この導波路63はRLSA60に下縁が接続された偏平な円形導波管63Aと、この円形導波管63Aの上面に一端側が接続された円筒形導波管63Bと、この円筒形導波管63Bの上面に接続された同軸導波変換器63Cと、この同軸導波変換器63Cの側面に直角に一端側が接続され、他端側がマイクロ波電源部61に接続された矩形導波管63Dとを組み合わせ構成されている。

【0042】ここで本発明ではUHFとマイクロ波とを含めて高周波領域と呼んでおり、高周波電源部より供給される高周波電力は300MHz以上のUHFや1GHz以上のマイクロ波を含む、300MHz以上2500MHz以下のものとし、これらの高周波電力により発生されるプラズマを高周波プラズマと呼ぶものとする。前

記前記円筒形導波管63Bの内部には、導電性材料よりなる軸部62の、一端側がRLSA60の上面のほぼ中央に接続し、他端側が円筒形導波管63Bの上面に接続するように同軸状に設けられており、これにより当該導波管63Bは同軸導波管として構成されている。

【0043】真空容器50の上部側の側壁には例えばその周方向に沿って均等に配置した16か所の位置にガス供給管72が設けられており、このガス供給管72から希ガス及びNを含むガスが真空容器50のプラズマ領域P近傍に均等に供給されるようになっている。

【0044】また真空容器50内には、ガス供給室54と対向するようにウエハWの載置台52が設けられている。この載置台52には図示しない温調部が内蔵されており、これにより当該載置台52は熱板として機能するようになっている。さらに真空容器50の底部には排気管53の一端側が接続されており、この排気管53の他端側は真空ポンプ55に接続されている。

【0045】図4は本発明の半導体製造装置に用いられるRLSA60の平面図である。

【0046】図4に示したように、このRLSA60では、表面に複数のスロット60a、60a、…が同心円状に形成されている。各スロット60aは略方形の貫通した溝であり、隣接するスロットどうしは互いに直交して略アルファベットの「T」の文字を形成するように配設されている。スロット60aの長さや配列間隔は、マイクロ波電源部61より発生したマイクロ波の波長に応じて決定されている。図5は本発明の半導体製造装置に用いられるCVD処理ユニット33を模式的に示した垂直断面図である。

【0047】図5に示すように、CVD処理ユニット33の処理室82は例えばアルミニウム等により気密可能な構造に形成されている。図5では省略したが、処理室82内には加熱機構や冷却機構を備えている。

【0048】処理室82には上部中央にガスを導入するガス導入管83が接続され、処理室82内とガス導入管83内とが連通されている。また、ガス導入管83はガス供給源84に接続されている。そして、ガス供給源84からガス導入管83にガスが供給され、ガス導入管83を介して処理室82内にガスが導入されている。このガスには、薄膜形成の原料となる各種のガスが用いられ、必要な場合には不活性ガスがキャリアガスとして用いられている。

【0049】処理室82の下部には、処理室82内のガスを排気するガス排気管85が接続され、ガス排気管85は真空ポンプ等からなる図示しない排気手段に接続されている。そして、この排気手段により処理室82内のガスがガス排気管85から排気され、処理室82内が所望の圧力に設定されている。

【0050】また、処理室82の下部には、ウエハWを載置する載置台87が配置されている。

【0051】本実施の形態では、ウエハWと略同径大の図示しない静電チャックによりウエハWが載置台87上に載置されている。この載置台87には図示しない熱源手段が内設されており、載置台87上に載置されたウエハWの処理面を所望の温度に調整できる構造に形成されている。

【0052】この載置台87の大きさは、300mmの大径ウエハWを載置できる大きさとなっており、必要に応じて載置したウエハWを回転できるような機構になっている。

【0053】このように大型の載置台87を内蔵することにより、300mmの大径ウエハWを処理することができ、高い歩留まりと、その結果もたらされる、廉価な製造コストを実現することができる。

【0054】図5中、載置台87の右側の処理室82壁面にはウエハWを出し入れするための開口部82aが設けられており、この開口部82aの開閉はゲートバルブ98を図中上下方向に移動することにより行われる。図5中、ゲートバルブ98の更に右側にはウエハWを搬送する搬送アーム（図示省略）が隣設されており、搬送アームが開口部82aを介して処理室82内に出入りして載置台87上にウエハWを載置したり、処理後のウエハWを処理室82から搬出するようになっている。載置台87の上方にはシャワー部材としてのシャワーヘッド88が配設されている。このシャワーヘッド88は載置台87とガス導入管83との間の空間を区画するように形成されており、例えばアルミニウム等から作られている。

【0055】シャワーヘッド88は、その上部中央にガス導入管83のガス出口83aが位置するように形成され、処理室82内に導入されたガスがそのまま処理室82内に配設されたシャワーヘッド88内に導入されている。

【0056】次に上述の装置を用いてウエハW上にゲート絶縁膜2よりなる絶縁膜を形成する方法について説明する。

【0057】図6は本発明の方法の各工程の流れを示したフローチャートである。

【0058】まず、前段の工程でウエハW表面にフィールド酸化膜11を形成する。

【0059】次いで真空容器50の側壁に設けたゲートバルブ（図示省略）を開いて搬送アーム37、38により、前記シリコン基板1表面にフィールド酸化膜11が形成されたウエハWを載置台52上に載置する。

【0060】続いてゲートバルブを閉じて内部を密閉した後、真空ポンプ55により排気管53を介して内部雰囲気気を排気して所定の真空度まで真空引きし、所定の圧力に維持する。一方マイクロ波電源部56より例えば2.45GHz（3kWのマイクロ波を発生させ、このマイクロ波を導波路51により案内してRLSA60及び

ガス供給室54を介して真空容器50内に導入し、これにより真空容器50内の上部側のプラズマ領域Pにて高周波プラズマを発生させる。

【0061】ここでマイクロ波は矩形導波管63D内を矩形モードで伝送し、同軸導波変換器63Cにて矩形モードから円形モードに変換され、円形モードで円筒形同軸導波管63Bを伝送し、さらに円形導波管63Aにて拡げられた状態で伝送していき、RLSA60のスロット60aより放射され、ガス供給室54を透過して真空容器50に導入される。この際マイクロ波を用いているので高密度のプラズマが発生し、またマイクロ波をRLSA60の多数のスロット60aから放射しているのでプラズマが高密度なものとなる。

【0062】そして載置台52の温度を調節してウエハWを例えば400℃に加熱しながら、ガス供給管72より第1のガスであるXeガスと、N₂ガスと、H₂ガス及びO₂ガスを、夫々500sccm、25sccm、15sccm、1.0sccmの流量で導入して第1の工程を実施する。

【0063】この工程では、導入されたガスは真空容器3にて発生したプラズマ流により活性化(プラズマ化)され、このプラズマにより図7(a)に示すように、シリコン基板1の表面が酸化されて第1の絶縁膜(SiON膜)21が形成される。こうしてこの窒化処理を例えば30秒間行い、1nmの厚さの第1の絶縁膜(SiON膜)21を形成する。

【0064】次に、ゲートバルブを開き、真空容器50内に搬送アーム37、38を進入させ、載置台52上のウエハWを受け取る。搬送アーム37、38はウエハWをプラズマ処理ユニット32から取り出した後、隣接するCVD処理ユニット33内の載置台87にセットする。

【0065】次いでこのCVD処理ユニット33内でウエハW上にCVD処理が施され、先に形成された第1の絶縁膜上に第2の絶縁膜が形成される。

【0066】即ち、真空容器3内にて、ウエハ温度が例えば400℃、プロセス圧力が例えば50mTorr〜1Torrの状態、容器82内に第2のガスを導入して第2の工程を実施する。つまりガス供給源84よりSiを含むガス例えばSiH₄ガスを例えば15sccmの流量で導入すると共に、ガス導入管83よりXeガスと、N₂ガスを、夫々500sccm、20sccmの流量で導入する。

【0067】この工程では、導入された第2のガスはウエハW上に堆積し、比較的短時間で膜厚が増大する。かくして図7(b)に示すように、第1の絶縁膜(SiON膜)21の表面に第2の絶縁膜(SiN膜)22が形成される。このSiN膜22は成膜速度が例えば4nm/分であるので、この成膜処理を例えば30秒行い、2nmの厚さの第2の絶縁膜(SiN膜)22を形成す

る。このようにしてトータル30秒間で4nmの厚さのゲート絶縁膜2を形成する。

【0068】上述の第1の工程では、第1の絶縁膜を形成するに際し、処理ガス雰囲気下で、ケイ素を主成分とするウエハWに、複数のスリットを有する平面アンテナ部材(RLSA)を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素を含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、又は酸窒化を施して絶縁膜を形成しているため、品質が高く、かつ膜質制御を首尾よく行うことができる。

【0069】即ち、第1の絶縁膜の品質は図8に示すように高いものである。

【0070】図8に示すように、本発明の半導体製造方法により、熱酸化膜と同レベルの低い界面準位を確保し、かつ、ゲート絶縁膜の耐圧性とゲート電極中のボロンの突き抜けを低減することが可能となった。

【0071】これに対し、直接窒化及びCVD法によるSiN膜では界面準位が熱酸化膜に比べて増大した。この場合、界面でのキャリアの分散が大きくなり、トランジスタの駆動電流が低下する。

【0072】このように上述の方法により形成された第1の絶縁膜の品質が高くなる理由は次のように考えられる。

【0073】即ち、本発明の半導体製造方法では、シリコン基板界面に窒素原子と酸素原子との両方がシリコン原子の結合を効率的に終端し、ダングリングボンドが少なくなる。また、ゲート絶縁膜の耐圧性とボロンの突き抜けに対してはCVD-SiN膜が効果的に作用している。この結果、本発明の半導体製造方法では、直接酸窒化SiON膜とCVD-SiN膜の長所を首尾良く利用することができる。

【0074】これに対して界面をSiNだけで形成する場合、ダングリングボンドの終端が不完全で、このために界面準位が増大したと考えられる。

【0075】また、上記第2の工程を行うことにより前記第1の絶縁膜上に形成される第2の絶縁膜は短時間で形成することができる。その結果、絶縁膜2全体を形成するには下記に示すように短時間で済ませることができる。

【0076】例えば、第一の絶縁膜SiONの形成について、RLSAプラズマを用いて圧力100mTorr、Xe、N₂、H₂、O₂のガス流量を各々500sccm、25sccm、15sccm、1sccm温度400℃で成膜すると、図9に示したように、1nmのSiON膜を30秒程度で形成できる。

【0077】しかし、同条件で3nmのSiON膜を形成するには245秒必要とした。この成膜速度でO₂流量をゼロにしてもほとんど変化しなかった。一方、CVDではXe、SiH₄、N₂ガス流量を各々500sc

10

20

30

40

50

cm、15 sccm、20 sccm、温度 400°C において 4.5 nm/min 程度の成膜速度が達成された。従って、2 nm の膜厚では 30 秒程度以内で形成された。この結果、本発明の半導体製造方法ではトータル 60 秒程度以内で 3 nm の絶縁膜を形成できるため、直接窒化法に比べて大幅に成膜速度を向上させることができる。

【0078】また、上記 RLSA プラズマによる直接酸化の成膜による膜厚変化は図 1 に示すように 1 nm 程度までは時間に比例しており、表面反応律速であることが分かる。しかし、これ以上になると、拡散律速となり、成膜速度が徐々に低下する。従って、本発明の半導体製造方法では、直接酸化により 1 nm の SiON 膜を形成し、その後 CVD 法により SiN 膜を形成した。

【0079】（実施例）以下に実施例を示す。

【0080】本発明の半導体製造方法により、素子分離形成を行った n 型シリコン基板上に図 2 に示したような装置を用いて RLSA プラズマを用いて図 2 中 32 の処理ユニットで 2 nm の SiON 膜を形成した。合計の絶縁膜の膜厚は 3 nm（酸化膜換算膜厚）である。SiON 成膜条件については、Xe/N₂/H₂/O₂ 流量 = 500 sccm/25 sccm/15 sccm/1 sccm で圧力は 100 mTorr、マイクロ波パワーは 2.0 KW で、温度は 400°C であった。

【0081】CVD-SiN 膜の形成条件については、Xe/SiH₄/N₂ 流量 = 500 sccm/15 sccm/20 sccm で圧力は 100 mTorr、マイクロ波は 25 KW で温度は 400°C であった。成膜時間は 62 秒で、スループットは 40 枚/h を達成し、工業的に十分適用できるレベルである事を確認できた。

【0082】膜厚の均一性も 3 シグマで 3% と良好な結果が得られた。

【0083】ゲート絶縁膜形成に引き続いて、p 型 poly-Si-ゲートを形成してゲートリーク電流と界面準位を測定した。この結果、75 mV/cm の印加電界に対してゲートリークは $1.3 \times 10^{-8} \text{ A/cm}^2$ 、界面準位は $6.5 \times 10^{10} \text{ /cm}^2 \text{ /eV}$ と良好な結果を得た。更に p-MOSFET (L/W = 0.25/10 μm) を形成してオン電流を計測したところ、酸化膜と同程度以上の値 ($5.5 \times 10^{-4} \text{ A/μm}$) が得られた。

【0084】以上示したように、本発明の半導体製造方法により 3 nm 程度の良質なゲート絶縁膜を工業的に十分な成膜速度で形成することができた。

【0085】

【発明の効果】本発明によれば、処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射する、いわゆる RLSA アンテナを用いる方法でシリコン基板上に直接プラズマを供給して SiN 絶縁膜を形成するので、シリコン基板とその表面に形成される SiN 絶縁膜との界面の膜質制御を首尾よく行うことができる。

【0086】更に、本発明の他の半導体製造方法によれば、いわゆる RLSA アンテナを用いた方法で第 1 の絶縁膜を形成した上に第 2 の絶縁膜を形成するので高品質の SiN 膜を形成することができる。特に第 2 の絶縁膜を CVD 法により形成する場合には短時間で製膜が可能となり、短時間で高品質の SiN 膜を形成することができる。

【図面の簡単な説明】

【図 1】本発明の半導体製造方法により製造される半導体装置の垂直断面図である。

【図 2】本発明の半導体製造方法を実施するための半導体製造装置の概略図である。

【図 3】本発明の半導体製造方法に用いる RLSA プラズマ処理ユニットの垂直断面図である。

【図 4】本発明の半導体製造装置に用いる RLSA の平面図である。

【図 5】本発明の半導体製造方法に用いる CVD 処理ユニットの模式的垂直断面図である。

【図 6】本発明の方法におけるゲート絶縁膜形成工程のフローチャートである。

【図 7】本発明の方法によるゲート絶縁膜形成の詳細図である。

【図 8】各種成膜条件とその成膜条件で得られるゲート絶縁膜の品質特性を比較した図である。

【図 9】各種成膜方法における、成膜時間と膜厚との関係を示した図である。

【図 10】本発明の半導体製造方法における成膜時間と膜厚との関係を示したグラフである。

【符号の説明】

W…ウエハ（被処理基体）

60…RLSA（平面アンテナ部材）

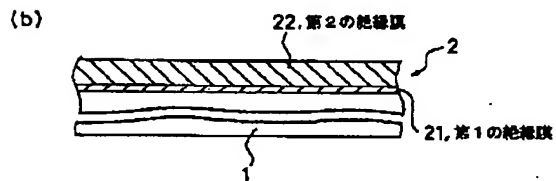
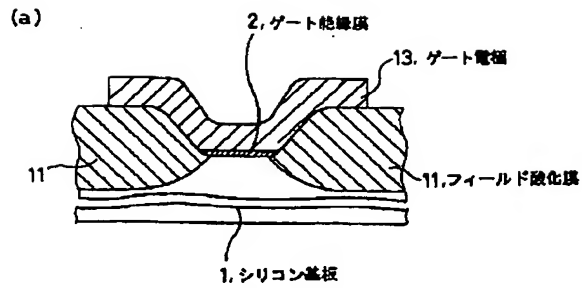
21…第一の絶縁膜

22…第二の絶縁膜

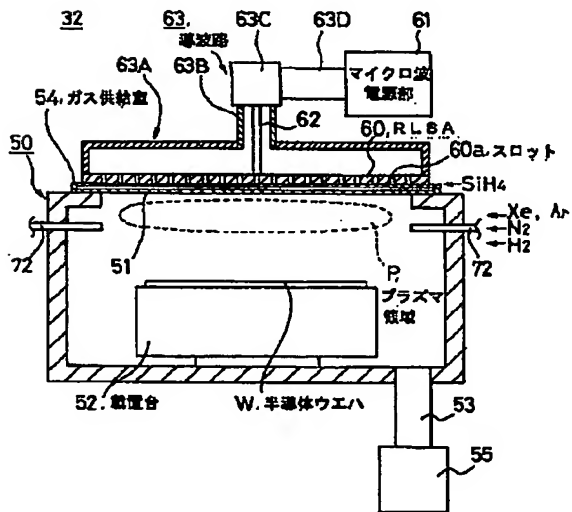
32…プラズマ処理ユニット（プロセスチャンバ）

33…CVD 処理ユニット（プロセスチャンバ）

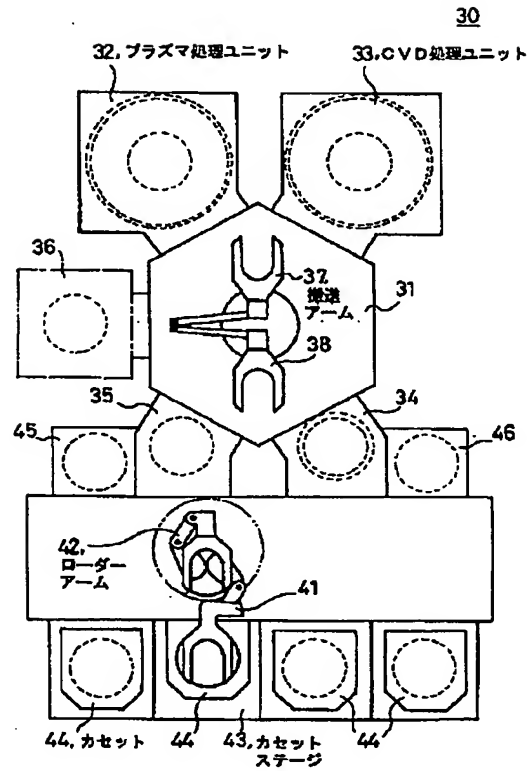
【図1】



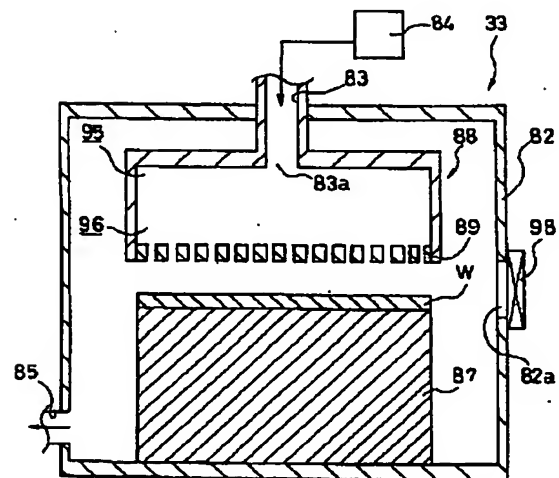
【図3】



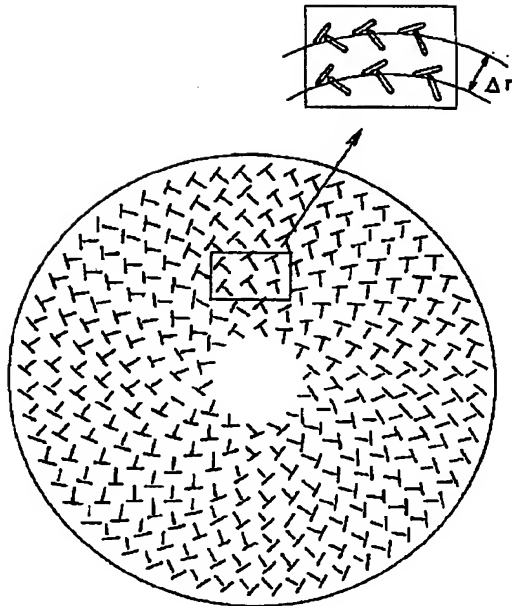
【図2】



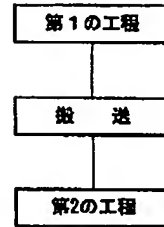
【図5】



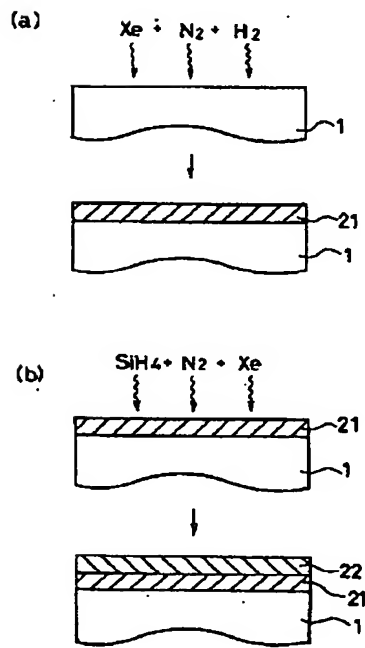
【図4】



【図6】



【図7】



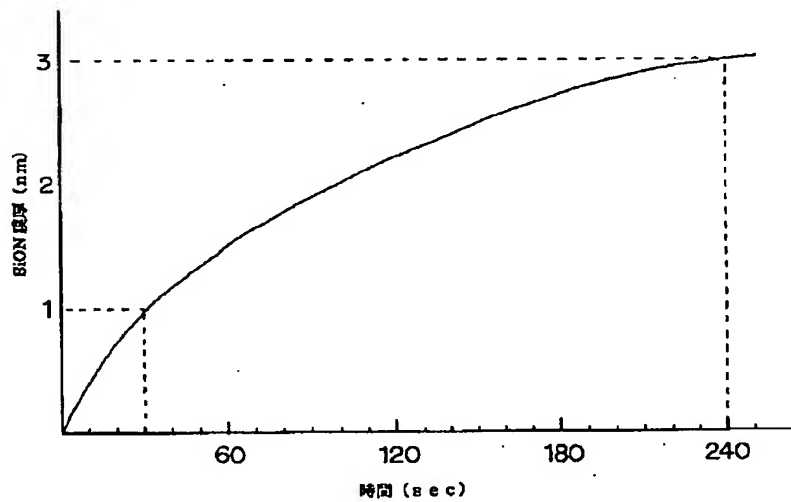
【図8】

	本発明方法 (SiF-CVD/SiON)	RLSAプラズマ 直接窒化膜	RLSAプラズマ CVD窒化膜	熱酸化膜
膜厚 (nm)	2/1	3	3	3
絶縁耐圧 (MV/cm)	17	17	15	12
ゲートワーク電流 ($\mu\text{A}/\text{cm}^2$)				
7.5V/cm	1×10^{-6}	5×10^{-5}	1×10^{-5}	1×10^{-3}
界面準位 ($1/\text{cm}^2/\text{eV}$)	5×10^{10}	2×10^{11}	5×10^{11}	6×10^{10}
PMOS-FET (V)				
しきい値電圧変化 $\Delta V_{th} = V_{th}(\text{BF}^{2t_1}) - V_{th}(\text{B}^+)$	0	0	0	0.3

【図9】

	本発明方法 CVD-SiN/SiON	RLSAプラズマ 直接窒化方法	RLSAプラズマ CVD方法
膜厚 (nm)	2 / 1	3	3
時間 (sec)	30 / 30	245	46

【図10】



フロントページの続き

(51)Int.Cl.⁷
H01L 29/78

識別記号

FI

H01L 29/78

テーマコード (参考)

301G

(72)発明者 川上 聡
山梨県韮崎市穂坂町三ツ沢650 東京エレクトロン株式会社総合研究所内
(72)発明者 湯浅 光博
東京都港区赤坂5丁目3番6号 東京エレクトロン株式会社内

Fターム (参考) 4G077 AA03 BB03 BE14 BE19 D809
DB19
5F040 DC01 ED01 ED03 ED04 FC00
5F045 AA06 AA09 AB32 AB33 AB34
AC01 AC05 AC11 AC12 AD08
AE17 AE19 AE21 AF03 AF12
BB09 BB16 CA05 DC51 DP03
DQ17 EB08 EF05 EF08 EH02
EH03 EH04 EM05 EN04 HA25
5F058 BA01 BA20 BD01 BD10 BD15
BF04 BF08 BF23 BF29 BF30
BG01 BG04 BJ01 BJ10